

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11355012 A**

(43) Date of publication of application: 24 . 12 . 99

(51) Int. Cl.

H01P 1/36
H01P 1/383
H03H 7/075

(21) Application number: **11034174**

(71) Applicant: **MURATA MFG CO LTD**

(22) Date of filing: 12 . 02 . 99

(72) Inventor:
OKADA TAKEKAZU
MAKINO TOSHIHIRO
KAWANAMI TAKASHI
HASEGAWA TAKASHI

(30) Priority: 30 . 03 . 98 JP 10 83583

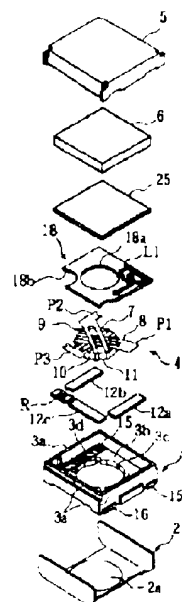
(54) **NON-REVERSIBLE CIRCUIT ELEMENT**

(57) Abstract:

PROBLEM TO BE SOLVED To provide a non-reversible circuit element which can prevent crosstalk and abnormal operation due to spurious radiation and can reduce an insertion loss when the circuit element constituting a low-pass filter is formed in a dielectric substrate.

SOLUTION: In a lumped constant isolator (non-reversible circuit element), a magnet 6 is arranged toward a magnetic assembly 4 where a plurality of center electrodes 8-10 are made to cross one another on a ferrite 7 through a dielectric substrate 18, and the magnet 6 applies a DC magnetic field to the magnetic assembly 4. In such a case, an inductor L1 constituting a π -type low-pass filter is pattern-formed on the dielectric substrate 18 as a circuit element 20, and a dielectric film 25 is sandwiched between the dielectric substrate 18 and the magnet 6.

COPYRIGHT: (C)1999.JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-355012

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 P 1/36

H 0 1 P 1/36

A

1/383

1/383

A

H 0 3 H 7/075

H 0 3 H 7/075

A

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平11-34174

(71) 出願人 000006231

株式会社村田製作所

(22) 出願日 平成11年(1999)2月12日

京都府長岡京市天神二丁目26番10号

(31) 優先権主張番号 特願平10-83583

(72) 発明者 岡田 剛和

京都府長岡京市天神二丁目26番10号 株式

(32) 優先日 平10(1998)3月30日

会社村田製作所内

(33) 優先権主張国 日本 (J P)

(72) 発明者 牧野 敏弘

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(72) 発明者 川浪 崇

京都府長岡京市天神二丁目26番10号 株式

会社村田製作所内

(74) 代理人 弁理士 下市 努

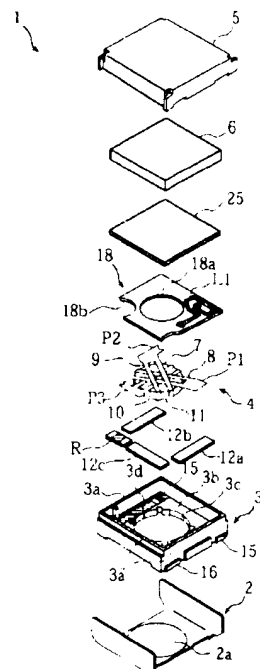
最終頁に続く

(54) 【発明の名称】 非可逆回路素子

(57) 【要約】

【課題】 不要輻射による混信や異常動作を防止でき、かつ誘電体基板に低域通過フィルタを構成する回路素子を形成する場合の挿入損失を低減できる非可逆回路素子を提供する。

【解決手段】 フェライト7に複数の中心電極8〜10を交差させて配置してなる磁性組立体4に誘電体基板18を介在させて磁石6を配置し、該磁石6により上記磁性組立体4に直流磁界を印加するようにした集中定数型アイソレータ1（非可逆回路素子）において、上記誘電体基板18に回路素子20として、例えばπ型の低域通過フィルタを構成するインダクタ11をパターン形成し、該誘電体基板18と磁石6との間に誘電体フィルム25を挟み込む。



【特許請求の範囲】

【請求項1】 フェラライトに複数の中心電極を交差させて配置してなる磁性組立体に誘電体基板を介在させて磁石を配置し、該磁石により上記磁性組立体に直流磁界を印加するようにした非可逆回路素子において、上記誘電体基板に回路素子をパターン形成し、該誘電体基板の少なくとも回路素子と上記磁石との間に誘電体フィルムを挟み込んだことを特徴とする非可逆回路素子。

【請求項2】 請求項1において、上記誘電体フィルムが磁石に貼着されていることを特徴とする非可逆回路素子。

【請求項3】 請求項1において、上記誘電体フィルムが誘電体基板に貼着されていることを特徴とする非可逆回路素子。

【請求項4】 フェラライトに複数の中心電極を交差させて配置してなる磁性組立体に積層誘電体基板を介在させて磁石を配置し、該磁石により上記磁性組立体に直流磁界を印加するようにした非可逆回路素子において、上記積層誘電体基板に回路素子をパターン形成し、該積層誘電体基板の少なくとも回路素子と上記磁石との間に1層以上の積層基板を設けたことを特徴とする非可逆回路素子。

【請求項5】 フェラライトに複数の中心電極を交差させて配置してなる磁性組立体に誘電体基板を介在させて磁石を配置し、該磁石により上記磁性組立体に直流磁界を印加するようにした非可逆回路素子において、上記誘電体基板に回路素子をパターン形成し、該回路素子の表面の少なくとも一部に誘電体膜を被覆したことを特徴とする非可逆回路素子。

【請求項6】 請求項1、4、5の何れかにおいて、上記回路素子がπ型の低域通過フィルタ、1.0直列型の帯域通過フィルタ、マイクロストリップライン型の移相回路、ストリップライン型の移相回路、方向性結合回路、容量結合回路、帯域阻止フィルタの何れかにより構成されていることを特徴とする非可逆回路素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロ波帯で使用される非可逆回路素子、例えばアイソレータ、サーキュレータに関する。

【0002】

【従来の技術】一般に、集中定数型のアイソレータ、サーキュレータ等の非可逆回路素子は、順方向の信号には減衰量が小さく、逆方向の信号には減衰量が多いという特性を有しており、例えば携帯電話等の通信機器の送信回路部に採用されている。

【0003】ところで上記通信機器に組み込まれる増幅器には直線歪が存在しており、これが不要輻射、スプラズ、特に基本波の2倍波、3倍波)の発生原因となっている。この不要輻射は、混信や電力増幅器の異常動作

の要因となることから、一定のレベル以下にすることが要求される。この不要輻射の発生を防止するために、直線性の優れた増幅器を採用したり、あるいは別途フィルタを採用して不要波を減衰させる場合がある。

【0004】しかしながら直線性の高い増幅器は高価であり、またフィルタを別途採用する場合には部品点数が増える分だけコストが上昇するとともに通信機器全体が大型化するという問題が生じる。このため小型化、低価格化の要請が強く、携帯電話等には採用し難い。

【0005】一方、集中定数型アイソレータは、その順方向の特性としてはバンドパスフィルタとして機能しており、このため通過帯域より離れた周波数帯域では順方向でも減衰量が多いという特長がある。そこで、このような帯域外の特性を利用することにより不要波を減衰させることが考えられる。ところが、上記アイソレータは元来帯域外の減衰を得るためのものではないことから、その性能を発揮するには限界がある。

【0006】そこで、本件出願人は、低域通過フィルタを構成する回路素子を内蔵したアイソレータを提案した。このアイソレータは、図1に示すように、磁性組立体1と磁石2との間に配置された誘電体基板3に低域通過フィルタの構成要素である、ダクタ11をパターン形成し、該インダクタ11を入力ポートと整合コネクタ12との間に接続して構成されている。

【0007】これにより上記入力ポートには、図13及び図14の等価回路図に示すように、図11、12の接続のπ型低域通過フィルタが接続されている。ここで、図1はアイソレータの整合容量12と一体となることから別途設ける必要はなく、また図2はアイソレータの外部に付加することにより形成される。

【0008】このように上記低域通過フィルタを内蔵したアイソレータによれば、帯域外における減衰量を大きくすることができ、不要輻射による混信や異常動作を防止できる。これにより簡単な構造でかつ安価に低域通過フィルタを形成でき、高価な増幅器や別途フィルタを必要にして小型化、低価格化に貢献できる。

【0009】

【発明が解決しようとする課題】ところで、上記低域通過フィルタを誘電体基板に形成する場合、該誘電体基板には磁石が当接していることから、磁石が有する高周波的な材料特性、なかでも誘電正接によりアイソレータの挿入損失に影響を与えるという懸念がある。

【0010】一般に量産されている市販の磁石は高周波用部品として開発されたものではない。このため誘電正接が大きくなり易い。このため誘電体基板の回路素子と磁石が接触することにより、挿入損失が増大すると考えられる。また磁石は誘電率も大きいのでインダクタンスを形成し難いという問題がある。

【0011】本発明は、このような状況に鑑みてなされたもので、誘電体基板に回路素子を形成する場合のアイ

インダクタの挿入損失を低減できる非可逆回路素子を提供することを目的としている。

【0012】

【課題を解決するための手段】請求項1の発明は、フェライトに複数の中心導体を交差させて配置してなる磁性組立体に誘電体基板を介在させて磁石を配置し、該磁石により上記磁性組立体に直流磁界を印加するようにした非可逆回路素子において、上記誘電体基板に回路素子をパターン形成し、該誘電体基板の少なくとも回路素子と上記磁石との間に誘電体フィルムを挟み込んだことを特徴としている。

【0013】請求項2の発明は、上記誘電体フィルムが磁石に貼着されていることを特徴とし、請求項3の発明は、上記誘電体フィルムが誘電体基板に貼着されていることを特徴としている。

【0014】請求項4の発明は、請求項1と同様の非可逆回路素子において、積層誘電体基板に回路素子をパターン形成し、該積層誘電体基板の少なくとも回路素子と上記磁石との間に1層以上の積層基板を設けたことを特徴としている。

【0015】請求項5の発明は、請求項1と同様の非可逆回路素子において、誘電体基板に回路素子をパターン形成し、該回路素子の少なくとも表面の一部に誘電体膜を被覆したことを特徴としている。

【0016】請求項6の発明は、請求項1、4、5の何れかにおいて、上記回路素子が、 π 型の低域通過フィルタ、直列型の帯域通過フィルタ、マイクログリッドプライ型の移相回路、ストリップライン型の移相回路、方向性結合回路、容量結合回路、帯域阻止フィルタの何れかにより構成されていることを特徴としている。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を添付図面に基づいて説明する。図1及び図2は、請求項1の発明の一実施形態による集中定数型アイソレータを説明するための図であり、図1はアイソレータの分解斜視図、図2(a)は誘電体基板に形成されたインダクタの上面図、図2(b)は誘電体基板の裏面に形成された電極の透視上面図である。

【0018】図1において、1は集中定数型のアイソレータであり、これは磁性体金属からなるケース2の底面2a上に端子ブロック3を配置し、該端子ブロック3に磁性組立体4を配置し、上記ケース2の同じ磁性体金属からなる箱状のキャップ5を装着し、該キャップ5の内面に矩形状の永久磁石6を貼着して磁気回路を形成し、該永久磁石6により上記磁性組立体4に直流磁界を印加するように構成されている。

【0019】上記磁性組立体4は、円板状のフェライト7の上面に8本の中心導体8a、9、10を絶縁シート（不図示）を介在させて120度角度ごとに交差するように配置し、上記フェライト7の底面に各中心導体8a〜

10のアース部11を当接した構造のものである。

【0020】上記端子ブロック3は電気的絶縁樹脂からなり、矩形状の側壁3aに底壁3bを一体形成した構造のものであり、この底壁3bには挿通孔3cが形成されており、該底壁3cの挿通孔3cの周縁にはそれぞれ整合用単板型コネクタ12a、12b、12c、及び単板型終端抵抗13が収納される凹部3dが形成されている。また上記挿通孔3cには磁性組立体4が挿入されており、該磁性組立体4のアース部11はケース2の底面2aに接続されている。

【0021】上記端子ブロック3の左、右側壁3eの外面には表面実装用入出力端子14及びアース端子15が形成されており、該入出力端子14は底壁3bの上面のコーナ一部に導出されている。また上記アース端子15は上記各凹部3dの上面に導出されており、上記各コネクタ12a〜12cの平面電極、及び終端抵抗13の一端に接続されている。この各端子14、15は端子ブロック3内に一部をインサートモールドして形成されたものである。

【0022】上記各コネクタ12a〜12cの上面電極には各中心導体8a〜10の入出力ポート11a〜11cが接続されており、このポート11aの先端部は出力端子14に、ポート11bの先端部は終端抵抗13にそれぞれ接続されている。

【0023】上記磁性組立体4の上面には矩形状をなす誘電体基板18が配設されている。この誘電体基板18はキャップ5をケース2に装着すると同時に永久磁石6を介して磁性組立体4、端子ブロック3をケース2に、各中心導体8a〜10のポート11a〜11cをコネクタ12a〜12cにそれぞれ電気的、機械的に保持するものである。また上記誘電体基板18の磁性組立体4に対応する中央部には孔18aが形成されており、終端抵抗13に対応するコーナ一部には切り欠き18bが形成されている。

【0024】上記誘電体基板18の上面には π 型の低域通過フィルタを構成する回路素子20としてインダクタL1がパターン形成されている。このインダクタL1の一端はスルーホール電極21を介して裏面に接続電極22に接続されており、他端は同じスルーホール電極23を介して裏面の入力電極24に接続されている。上記インダクタL1の一端は接続電極22を介して上記中心導体8のポート11aに接続されており、他端は入力電極24を介して入力端子14に接続されている。

【0025】そして上記誘電体基板18と永久磁石6との間には誘電体フィルム25が分設されており、誘電体フィルム25は永久磁石6と誘電体基板18により挟持されている。この誘電体フィルム25は、永久磁石6の両面全面を覆う四角形のもので、誘電率、及び誘電正接の小さいものから構成されている。

【0026】次に本実施形態の作用効果について説明す

る。本実施形態の集中定数型アイソレータ1によれば、誘電体基板18にインダクタ11をパターン形成し、誘電体基板18とコンデンサ13とを外部コンデンサとでπ型の低域通過フィルタを構成したので、帯域外における減衰量を大きくすることができ、不要輻射による混信や異常動作を防止できる。これにより簡単な構造でかつ安価に低域通過フィルタを形成でき、上述の等価増幅器や別定フィルタを不要にして小型化・低価格化に貢献できる。

【0037】この場合、誘電体基板18のインダクタ11により磁石らが直接接触することによりアイソレータの挿入損失が増大するという懸念があった。これに対して本実施形態では、上記誘電体基板18と永久磁石との間に誘電率、誘電正接の小さい誘電体フィルム20を挟み込み、誘電率と誘電正接の大きい永久磁石をインダクタ11から離すことができ、これによりインダクタ11のQが増加し、挿入損失が低減することからインダクタ11のQを向上でき、その結果アイソレータの挿入損失を低減できる。

【0038】ここで、本実施形態では、誘電体フィルム20を永久磁石の下面全面を覆う四角形とした場合を説明したが、本発明の目的は、インダクタと誘電率、誘電正接の大きい永久磁石とを離し、両者の間に誘電率、誘電正接の小さい誘電体を挟むことにより実現できる。従って、誘電体フィルムの形状や大きさについては特に限定するものではない。

【0039】例えば、空気も誘電率と誘電正接の小さい誘電体であるので、誘電体フィルムのインダクタ11に接する部分に孔を形成し、誘孔により磁石とインダクタとの間に空気層を設けることも可能であり、この場合にも上記実施形態と同様の効果が得られる。また孔をあけた誘電体フィルムを採用する場合には、誘電率、誘電正接の大きいものを用いることも可能である。

【0040】上記誘電体フィルム20の材料としては、ポリイミド、セラミック、エポキシ、ガラスエポキシ等の材料が用いられる。また、誘電体フィルム20の誘電体とは非導体を意味するものであり、上記以外の絶縁性の材料を用いることも可能である。

【0041】図8は、上記集中定数型アイソレータ1の効果を確認するために行った挿入損失の測定結果を示す特性図である。この実験に採用した永久磁石の比誘電率は1.5、誘電正接は0.01であり、誘電体フィルムの比誘電率は3、誘電正接は0.01であり、厚さは0.01mmである。また比較するためには誘電体フィルムのないアイソレータについても同様の測定を行った(図中、一点鎖線は比較例、実線は本実施例を示す)。図中からも明らかなように、誘電体フィルムを用いることにより挿入損失を0.05dB程度改善できているのがわかる。

【0042】なお、上記実施形態では、誘電体基板18

に低域通過フィルタを構成するインダクタ11を形成した場合を説明したが、本発明の回路素子はこれに限られるものではなく、例えば、直列型の帯域通過フィルタ、マイクロストリップライン型の移相回路、ストリップライン型の移相回路、方向性結合回路、容量結合回路、あるいはTEモード、TMモード又はモードと呼ばれる帯域阻止フィルタ等の採用が可能であり、これらを採用した場合にも上記実施形態と同様の効果が得られる。

【0043】図9～図14は、上記実施形態の他の実施形態を説明するための図であり、図9～図14は誘電体基板に形成されたインダクタ及びコンデンサを示す平面図、図9～図14は誘電体基板の裏面に形成された電極を示す透視平面図、図9～図14は等価回路図である。図9、図10、図11、図12、図13、図14と同一符号は同一又は相当部分を示す。

【0044】本実施形態のアイソレータは、誘電体基板18の上面に低域通過フィルタを構成する回路素子としてのインダクタ11、及びコンデンサ13をパターン形成して構成されている。このインダクタ11の一端にはスルーホール電極21、接続電極22を介して中心導体8のポート11が接続されている。

【0045】上記インダクタ11の他端には第1コンデンサ電極30aが接続形成され、第1コンデンサ電極30aはスルーホール電極22を介して入力電極24に接続されている。また誘電体基板18の裏面の第1コンデンサ電極30aに対向する部分には第2コンデンサ電極30bが形成され、誘電体基板18の裏面の第2コンデンサ電極30bはアースとしての下ヨーク23に接続されている。

【0046】これにより、図9のポート11には、図9及び図10の等価回路図に示すように、π型低域通過フィルタが形成されている。ここで、図9はアイソレータの整合容量C₀と一体となることから別途設ける必要はなく、また図10は上記誘電体基板18に形成されたコンデンサ13である。

【0047】この実施形態においても、誘電体基板18と永久磁石との間に誘電体フィルムを挟み込むことにより、不要輻射による混信や異常動作の防止を図りながら、アイソレータの挿入損失を低減でき、上記実施形態と同様の効果が得られる。

【0048】図11は、請求項2の発明の一実施形態による集中定数型アイソレータを示す分解斜視図であり、図9、図10と同一符号は同一又は相当部分を示す。

【0049】本実施形態の集中定数型アイソレータ1は、誘電体基板18と永久磁石との間に誘電率、誘電正接の小さい誘電体フィルム20を挟み込むとともに、誘電体フィルム20を永久磁石の下面に貼着した例である。

【0050】本実施形態では、誘電体基板18と永久磁石との間に誘電体フィルム20を挟み込みかつ永久磁石2に貼着したので、上記実施形態と同様にアイソレータ

の挿入損失の低減効果が得られるとともに、アイソレータを組付ける際に誘電体フィルム25を容易に組込むことができ、作業性を向上できる。

【00141】図8は、請求項3の発明の一実施形態を示す分解斜視図であり、[4中、[1]と同一符号は同一又は相当部分を示す。

【00142】本実施形態の集中定数型アイソレータ1は、誘電体基板18と永久磁石6との間に誘電率、誘電正接の小さい誘電体フィルム25を挟みこむとともに、該誘電体フィルム25を誘電体基板18の上面全面に貼着した例である。

【00143】本実施形態では、誘電体基板18と永久磁石6との間に誘電体フィルム25を挟み込みかつ永久磁石6に貼着したので、上記実施形態と同様にアイソレータの挿入損失の低減効果が得られるとともに、上記同様にアイソレータを組付ける際に誘電体フィルム25を容易に組込むことができ、作業性を向上できる。

【00144】図9は、請求項4の発明の第1実施形態による集中定数型アイソレータを説明するための図であり、[4中、[4]と同一符号は同一又は相当部分を示す。

【00145】本実施形態は、第1誘電体基板31に低域通過フィルタを構成する回路素子としてのインダクタL1を形成し、該第1誘電体基板31の上面の永久磁石6との間に1層の第2誘電体基板32を設けて構成されている。

【00146】本実施形態によれば、インダクタL1が形成された第1誘電体基板31に第2誘電体基板32を積層したので、アイソレータの挿入損失を低減でき、上記実施形態と同様の効果が得られる。また第1、第2誘電体基板31、32を積層することにより、1体形成でき、上述の誘電体フィルムを用いる場合に比べて部品点数を削減でき、さらにコストを低減できる。

【00147】図10は、請求項5の発明の第2実施形態を説明するための図であり、[4中、[4]と同一符号は同一又は相当部分を示す。

【00148】本実施形態は、第1誘電体基板31の上面にインダクタL1をパターン形成し、第2誘電体基板31の上面に上記インダクタL1に接続される接続電極33、入力電極34をパターン形成した例である。

【00149】本実施形態では、第1、第2誘電体基板31、32の上面にそれぞれインダクタL1、接続電極33、入力電極34を形成したので、1つの基板の両面に電極パターンを形成する場合に比べて製造が容易であり、コストをさらに低減でき、安価で低損失のアイソレータを提供できる。

【00150】図11は、請求項5の発明の一実施形態を説明するための図であり、[4中、[4]と同一符号は同一又は相当部分を示す。

【00151】本実施形態は、誘電体基板18の上面のインダクタL1に厚膜の誘電体膜25を印刷等により被覆

形成して構成されている。この誘電体膜25はインダクタL1のライン中央部36を除く全長に被覆されている。この中央部36は上記誘電体膜25と磁石6との間で形成された空気層となっている。

【00152】本実施形態では、誘電体基板18のインダクタL1に誘電率、誘電正接の小さい誘電体膜25を塗布したので、アイソレータの挿入損失を低減でき、上記実施形態と同様の効果が得られる。また上記誘電体基板18に誘電体膜25を塗布する構造であるので、コスト上昇の原因となる部品点数の増加を回避でき、安価に提供できる。

【00153】また上記インダクタL1の中央部36は空気による誘電体層により覆われることから、誘電体膜25を塗布した場合と同様の作用効果が得られる。この場合、中央部36を露出することなく全長に覆って誘電体膜を被覆してもよい。

【00154】上記各実施形態では、集中定数型のアイソレータを例に説明したが、本発明はサーキット1にも勿論適用できる。

【00155】

【発明の効果】以上のように請求項1の発明に係る非可逆回路素子によれば、誘電体基板に回路素子をパターン形成し、該誘電体基板の回路素子と磁石との間に誘電体フィルムを挟み込んだので、誘電率、誘電正接の大きい磁石を回路素子から離すことができ、アイソレータの挿入損失を低減できる効果がある。

【00156】また簡単な構造でかつ安価に低域通過フィルタを構成できるので、不要輻射による混信や異常動作の回避を図りながら、小型化、低価格化に貢献できる効果がある。

【00157】請求項2の発明では、上記誘電体フィルムを磁石に貼着し、請求項3の発明では、誘電体フィルムを誘電体基板に貼着したので、請求項1と同様にアイソレータの挿入損失の低減効果が得られるとともに、アイソレータを組付ける際に誘電体フィルムを容易に組込むことができ、作業性を向上できる効果がある。

【00158】請求項4の発明では、積層誘電体基板の回路素子と磁石との間に1層以上の積層基板を設けたので、請求項1と同様にアイソレータの挿入損失の低減効果が得られるとともに、コスト上昇の原因となる部品点数の増加を回避でき、安価に提供できる効果がある。

【00159】請求項5の発明では、誘電体基板の回路素子の少なくとも表面の一部に誘電体膜を被覆したので、請求項1と同様にアイソレータの挿入損失の低減効果が得られるとともに、コスト上昇の原因となる部品点数の増加を回避でき、安価に提供できる効果がある。

【00160】請求項6の発明では、上記回路素子として、オ型の低域通過フィルタ、この直列型の帯域通過フィルタ、マイクロストリップライン型の移相回路、ストリップライン型の移相回路、方向性結合回路、容量結合

回路、帯域阻止フィルタの何れかを採用したので、何れの回路においても安価に形成でき、小型化、低価格化に対応できる効果がある。

【図面の簡単な説明】

【図1】請求項1の発明の一実施形態による集中定数型アイソレータを説明するための分解斜視図である。

【図2】上記アイソレータの誘電体基板のインダクタを示す図である。

【図3】上記実施形態の効果を示す特性図である。

【図4】上記実施形態と他の実施形態による誘電体基板を示す図である。

【図5】上記実施形態のアイソレータの等価回路図である。

【図6】上記アイソレータの等価回路図である。

【図7】請求項2の発明の一実施形態による集中定数型アイソレータを示す分解斜視図である。

【図8】請求項3の発明の一実施形態による集中定数型アイソレータを示す分解斜視図である。

【図9】請求項4の発明の第1実施形態による誘電体基板の分解斜視図である。

【図10】請求項4の発明の第2実施形態による誘電体

基板の分解斜視図である。

【図11】請求項5の発明の一実施形態による誘電体基板を示す図である。

【図12】本発明の成立過程を説明するためのアイソレータの分解斜視図である。

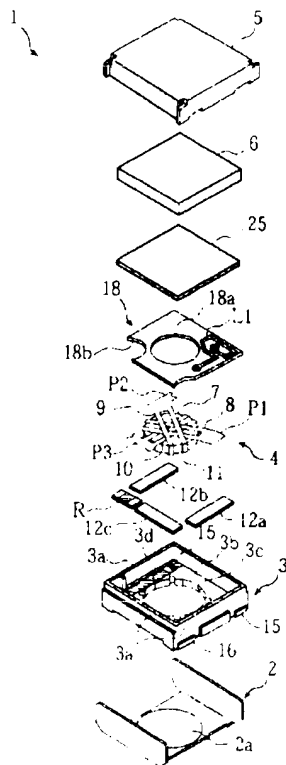
【図13】上記アイソレータの等価回路図である。

【図14】上記アイソレータの等価回路図である。

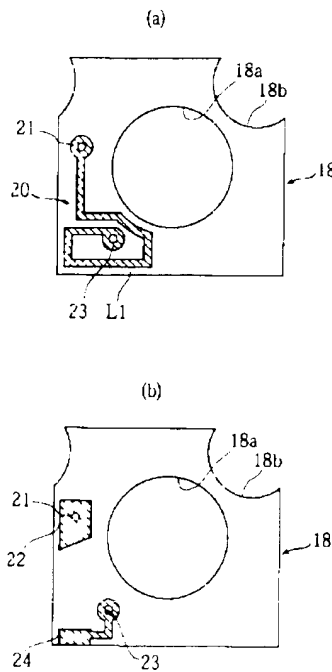
【符号の説明】

1	集中定数型アイソレータ（非可逆回路素子）
4	磁性組立体
6	永久磁石
7	フェライト
8～10	中心導体
18	誘電体基板
20	回路素子
25	誘電体フィルム
31	第1誘電体基板
32	第2誘電体基板
35	誘電体膜
L1	インダクタ（回路素子）

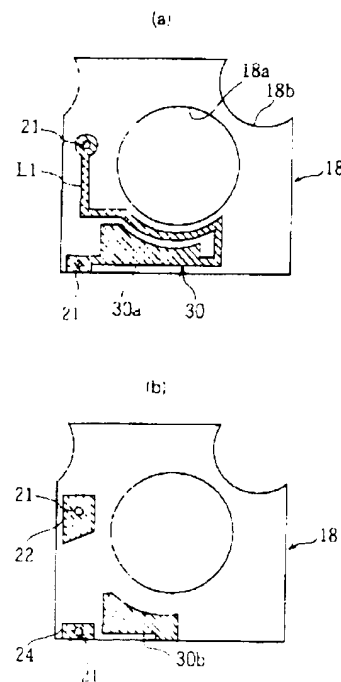
【図1】



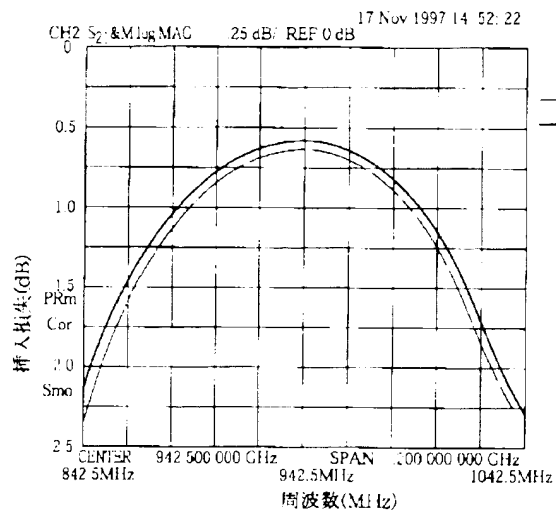
【図2】



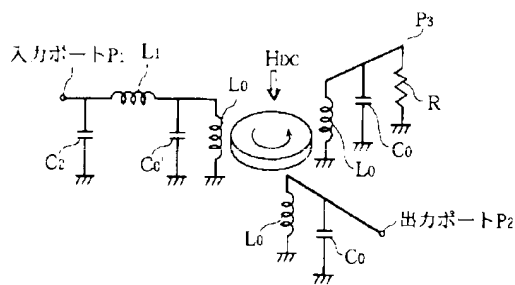
【図4】



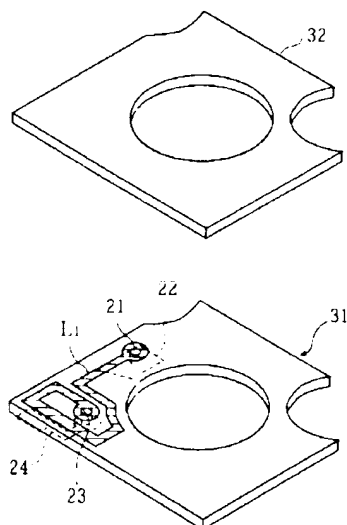
【図5】



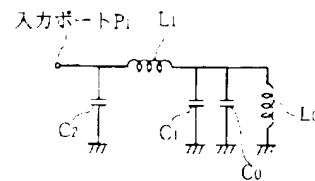
【図5】



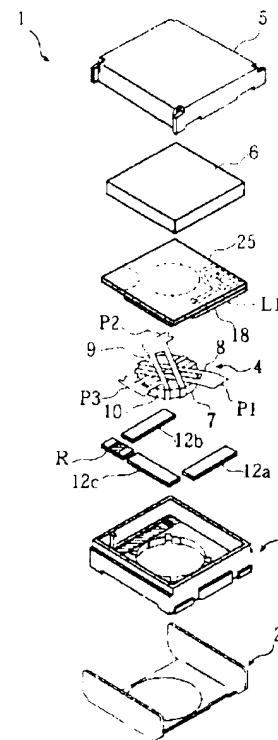
【図9】



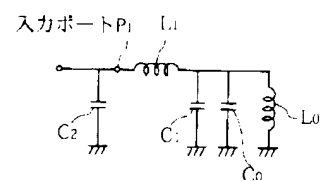
【図6】



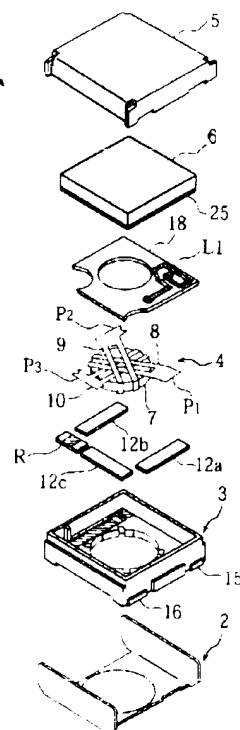
【図8】



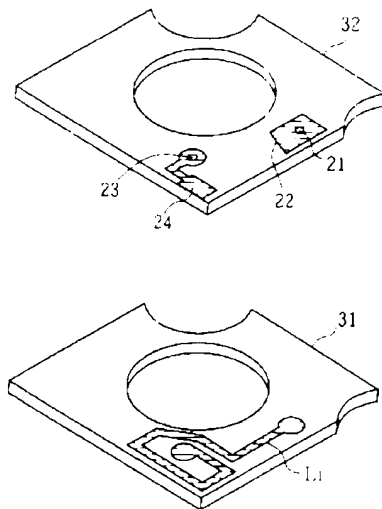
【図14】



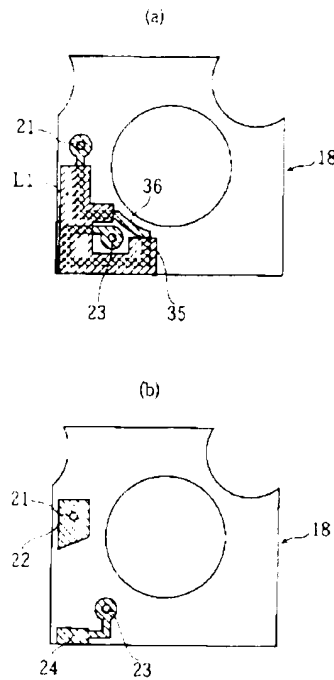
【図7】



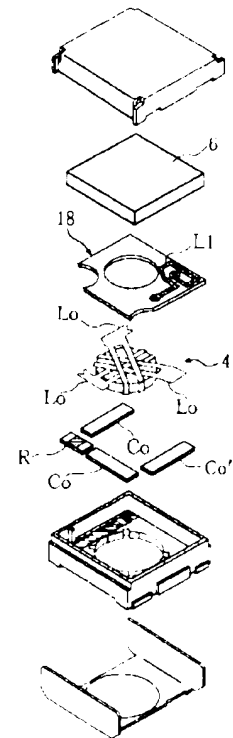
【図1】



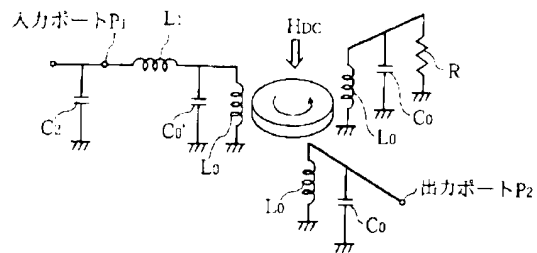
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 長谷川 隆
京都府長岡京市天神2丁目20番10号 株式
会社村田製作所内